

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

5565547

Basic Patent (No,Kind,Date): JP 61116334 A2 860603 <No. of Patents: 001>

ACTIVE MATRIX PANEL (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MISAWA TOSHIYUKI

IPC: *G02F-001/133; G02F-001/133; G09G-003/36

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 61116334	A2	860603	JP 84237364	A	841109	(BASIC)

Priority Data (No,Kind,Date):

JP 84237364 A 841109

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-116334

⑫ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和61年(1986)6月3日
G 02 F 1/133	1 2 9	B-7348-2H	
G 09 G 3/36	1 1 8	D-8205-2H	
		7436-5C	審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 アクティブマトリクスパネル

⑮ 特 願 昭59-237364

⑯ 出 願 昭59(1984)11月9日

⑰ 発 明 者 三 澤 利 之 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

アクティブマトリクスパネル

2 特許請求の範囲

(1) 絶縁基板上に設けられた、走査線群、データ線群、該走査線及びデータ線を駆動するドライバー、及び該走査線及びデータ線の交点に設けられた薄膜トランジスタアレイによって液晶を駆動して成るアクティブマトリクスパネルにおいて、データ線ドライバーは、該データ線を駆動するためのラインメモリを具備して成ることを特徴とするドライバー内蔵アクティブマトリクスパネル。

(2) 前記データ線ドライバーは、データ線を駆動するためのバッファアンプを具備して成ることを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) 前記ドライバー内蔵アクティブマトリクス

パネルは、一水平走査期間が60μsecよりも少ない高品位パネルであることを特徴とする特許請求の範囲第1項乃至第2項記載のアクティブマトリクスパネル。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、ドライバー内蔵アクティブマトリクスパネル、特に走査線数が従来よりも多い高精細のパネルに関し、例えば壁掛けテレビ等フラットディスプレイに利用される。

(従来の技術)

シリコン薄膜による薄膜トランジスタ(以下、TFTと略記する。)を用いて絶縁基板上に構成されたアクティブマトリクスパネル内に、同じシリコン薄膜によるTFTでドライバー回路を形成しようという試みは各所で展開されてきた。本発明者等は、世界に先がけてこの技術を開発し、先ごろこれを公表した(文献:S. Morosumi, et al. SID 84 DIGEST, P. 516, 1984)。

特開昭61-116334(2)

公衆されたドライバー内蔵アクティブマトリクスパネルは第8図に示される様なものであり、走査線数210本、データ線数180本と比較的解像度の低いものであった。第8図において、91は画素エレメント、96はX側シフトレジスタ、92はサンプルホルダー、97はY側シフトレジスタである。

〔発明が解決しようとする問題点〕

アクティブマトリクスパネルの高精細化、例えば、高品位TVへの応用、コンピュータの端末ディスプレイへの応用等を試みる場合、走査線数が増加することは明白である。その場合、一定画素画素間隔は減少することになる。更に、高精細化に伴って、データ線の本数は必然的に増加し、また、パネル寸法が大型化するため、データ線に付加する容量が増加する。この結果、

- (1) 第8図のスイッチング回路91の書き込み能力が不足する。
- (2) 画像データをデータ線に書き込む際の、サンプルホルダー92の書き込み能力が不足す

る。 $5\mu\text{sec}$ にまで減少することが予想される。第9図(c)は、従来のドライバー内蔵アクティブマトリクスパネルの一面素に着目してドライバーと画素との接続の様子を示した図である。同図において、データ線10に付加するキャパシタ15に貯えられた画像データは、走査線11が選択されている時間 T_1 の間に、 T_1 を介して画素キャパシタ14に完全に書き込まれなくてはならない。第9図(b)は一水平走査線に相当するビデオ信号3、走査線選択信号4、エドドライバーのサンプリングパルス5、6、7を示したものである。第1本目のデータ線にはサンプリングパルス5によって画像データが書き込まれるため、同データ線から第1列目の画素への書き込み時間は同図に示す様に t_{w1} であり、 T_1 に近い。一方、最終本目のデータ線にはサンプリングパルス7によって画像データが書き込まれるため、最終列の画素への書き込み時間は t_{w2} であり、 T_1 に比べ著しく短い。従って、高精細化に伴って、前述のごとく走査線選択時間 T_1 が減少すると、特に最

る。

という二つの大きな問題が顕著になってくる。

以下、上記二つの問題点を、図を用いて詳しく説明する。周知の様に、NTSCのビデオ信号は、インターレースされた二つのフィールド(奇数フィールド及び偶数フィールド)によって1フレームが構成され1枚の絵が完成される。液晶は交流駆動しなくてはならないため、第8図におけるドライバー内蔵パネルは第9図(a)の1に示す様な交流反転されたビデオ信号で駆動される。(アクティブマトリクス液晶パネルの駆動方法に関しては、文献「商品化された液晶ポケットカラーテレビ」、日経エレクトロニクス、1984年9月10日号EP.211-240に詳しく述べられている。)従来技術に述べた様な、走査線220本前後のアクティブマトリクスパネルの場合、走査線選択時間 T_1 は一本当り $63.5\mu\text{sec}$ 確保できる。ところが、将来、パネルが高精細化され、走査線数が1000本、2000本に増加する場合には、一本当りの走査線選択時間 T_1 は $10\mu\text{sec}$ 、

終列に近い画素への画像データの書き込みが厳しくなり、パネルの左右での表示ムラが顕在化する結果となる。これが先に述べた問題点(1)である。一方、パネルが正常に動作するためには、第9図(c)において、データ線10へ T_1 サンプルホルダー9を介してビデオ信号が書き込まれる時間は、サンプリングパルス幅 T_x 以内でなくてはならない。高精細化に伴って走査線選択時間 T_1 が減少し、データ線数が増加し、大型化に伴ってデータ線容量15の値が増大した場合、サンプリングパルス幅 T_x は著しく短縮されて、 T_1 サンプルホルダー9を介して T_x 以内でデータ線10に画像データを書き込むことは非常に困難となる。これが、問題点(2)である。

本発明は、以上に述べた二つの大きな問題を解決し、大画面、高精細度のドライバー内蔵アクティブマトリクスパネルを実現することを目的とする。

〔問題点を解決するための手段〕

前節で取り上げた二つの問題点を解決するため

特開昭61-116334(3)

、本発明は次の述べる手段を設ける。

- (a) エドライバー内に、少なくとも一走査線分のラインメモリーをシリコン薄膜TFTによって設け、アクティブマトリクスパネルを順次駆動する。
- (b) エドライバー内に、データ線を駆動するためのバッファアンプをシリコン薄膜TFTによって設ける。

〔作用〕

エドライバー内にTFTによるラインバッファを設けて、パネルを順次駆動することにより、すべての画素について、データ線から画素データを書き込む時間を等しくすることが出来、また、その書き込み時間を一走査線選択時間T₁に等しく設定することが可能となる。更に、エドライバー内にTFTによるバッファアンプを設けることによって、短いサンプリング時間に、ビデオ信号を確実にデータ線に書き込むことを可能ならしめる。

性MOSFET構造の伝送ゲートとして構成される。また、ダイナミック型ラインメモリーは、ゲート酸化膜又は層間絶縁膜を利用して形成されたキャパシタである。バッファアンプ50、51、52、53は、TFTによって構成された電圧利得が約1の電流増幅器であり、その具体例を第2図(a)、(b)に示す。第2図(a)において、54はN型TFT、55は薄膜抵抗又はMOS抵抗である。同図(b)において、56はN型TFT、57はP型TFTである。また、同図(a)、(b)で、VIN、VOUT、VDD、VSSは、それぞれ、入力端子、出力端子、正電源、負電源を示す。

次に、第1図に第3図を併用して、第一の実施例の動作を説明する。第1図の端子VSには、第3図に示すビデオ信号58が、端子ESPにはスタートパルス61が印加される。このとき、シフトレジスタ21の各出力端子37~40にはサンプリングパルス62、63が出力され、サンプルホルダー23~26を介して、ラインメモリー

〔実施例〕

以下、図面を用いて本発明の実施例を詳細に説明する。本発明の実施例として二例を挙げ、それぞれについて構造と動作を説明する。

第1図は、本発明の第一の実施例である。同図に示すドライバ内蔵アクティブマトリクスパネルは、画素アレイ41、エドライバー、エドライバーより成る。画素アレイは走査線42~45、データ線46~49、スイッチング用TFT55及び画素キャパシタ56より構成され、エドライバーは相補型MOSFET又は単極性MOSFETから成るシフトレジスタ22より構成され、エドライバーは、相補型MOSFET又は単極性MOSFETから成るシフトレジスタ21、サンプルホルダー23、24、25、26、ダイナミック型ラインメモリー27、28、29、30、アナログスイッチ31、32、33、34及びバッファアンプ50、51、52、53より成る。サンプルホルダー23~26及びアナログスイッチ31~34は、相補型MOSFET構造又は単極

27~30に画素データを取り込む。一水平走査期間(以下、1H)のすべての画素データがサンプルホルダーされた後に、ラッチパルス64が端子LPに印加され、画素データはバッファアンプ50~53を通じて一斉にデータ線46~49に書き込まれる。一方、走査線42~45には59、60の様な走査線選択信号が出力され、選択された走査線に付加する一行の画素に一斉に画素データが書き込まれる。

第4図に本発明の第二の実施例を示す。同実施例において、エドライバー及び画素アレイは第一の実施例と全く同じに構成される。従って、それらには第1図と同一の記号を付す。本実施例が第一の実施例と異なるところは、画素データがアナログ信号でなくデジタル信号として与えられる点である。第4図には画素データが1ビット即ち2値画素として与えられる場合を示す。第4図において、エドライバーは、TFTによるシフトレジスタ65、TFTによるラインメモリー66~69及びTFTによるアナログスイッチ70~

特開昭61-116334 (4)

73から構成される。ラインメモリ1ビット分の具体的な構成例を第5図に示す。第5図において、74、75は相補型MOSFETによる伝送ゲート、76、77、78は相補型MOSFETによるインバータである。

次に、第6図を併用して第二の実施例の動作を説明する。第4図の端子XDに第6図の画像データ79が印加されシフトレジスタ65によって転送される。1Hの転送が終了した後、端子LPに印加されているラッチパルス80によって画像データはラインメモリ66～69に取り込まれ、アナログスイッチ70～73がV1側、V2側のどちらに倒れるか決定される。端子V1、V2には、81、82の極大交流反転された液晶駆動電圧が印加されており、アナログスイッチ70～73によって選択された電圧がデータ線46～49に1Hの間印加され、選択された走査線に付加する行の画素に書き込まれる。

第7図に、ドライバー部を相補型MOSFET、画素アレイ部をNMOSFETで形成した場合

及びデータ線への書き込み時間を長くできるため、特に高精細化を要しないパネルにおいても、シリコン薄膜TFTが本来持っている0.5電流の小さいという弱点を補うことが出来る。

また、同じ特性を有するTFTでドライバー内蔵アクティブマトリクスパネルを構成する場合、書き込み時のマージンの大きい本発明を利用することによって従来よりも低い電圧で駆動することが可能となり、低電力化が達成される。

4. 図面の簡単な説明

第1図及び第2図(a)、(b)は、本発明の第一の実施例の構造を示した図。

第3図は、本発明の第一の実施例の動作を説明するための図。

第4図及び第5図は、本発明の第二の実施例の構造を示した図。

第6図は、本発明の第二の実施例の動作を説明するための図。

第7図は、本発明の構造を示す断面図。

のドライバー内蔵アクティブマトリクスパネルの断面構造の一例を示す。同図において、85は絶縁基板、86は第一のシリコン薄膜層、87はゲート絶縁膜層、88は第二のシリコン薄膜層、89は層間絶縁膜層、90は透明導電膜層である。また、93、94はそれぞれドライバーを構成するPMOSFET、NMOSFETであり、95は画素エレメントを構成するNMOSFETである。

〔効果〕

エドドライバー内にTFTによるラインメモリ、及び(又は)バッファアンプを作り込む本発明の構造を採用することによって、先に述べた、パネルの高精細化に伴う二つの問題点、

- (1) 画素アレイ部のスイッチングTFTの書き込み能力の不足
- (2) エドドライバー部のサンプルホルダーの書き込み能力の不足

は、コスト上昇無しに完全に解決される。

更に、本発明によって、画素への書き込み時間

第8図は、従来の技術を説明するための図。

第9図(a)～(c)は、本発明が解決しようとする問題点を説明するための図。

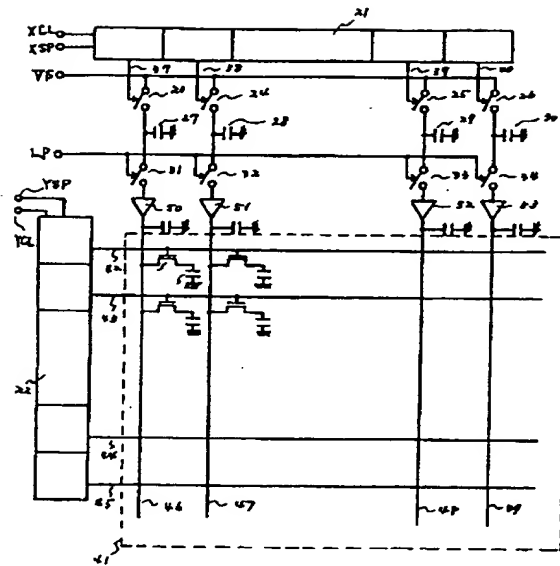
以 上

出願人 株式会社敬防精工舎

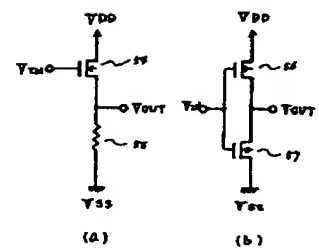
代理人 弁護士 最上



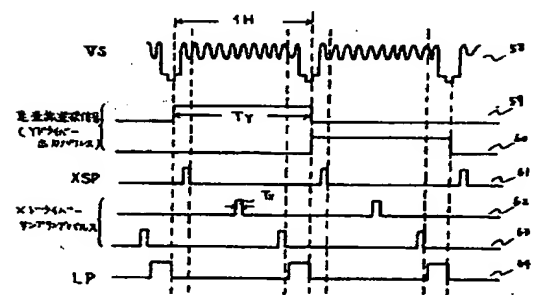
特開昭61-116334 (5)



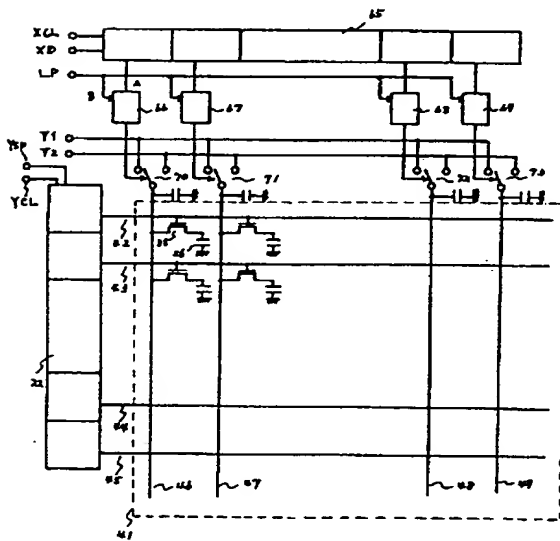
第 1 図



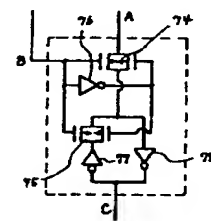
第 2 図



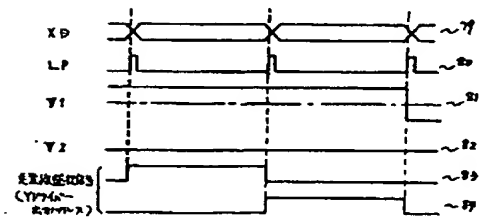
第 3 図



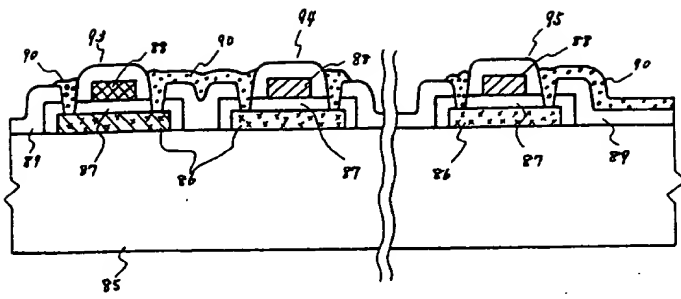
第 4 図



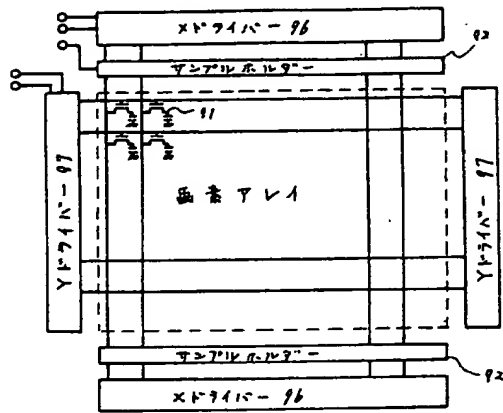
第 5 図



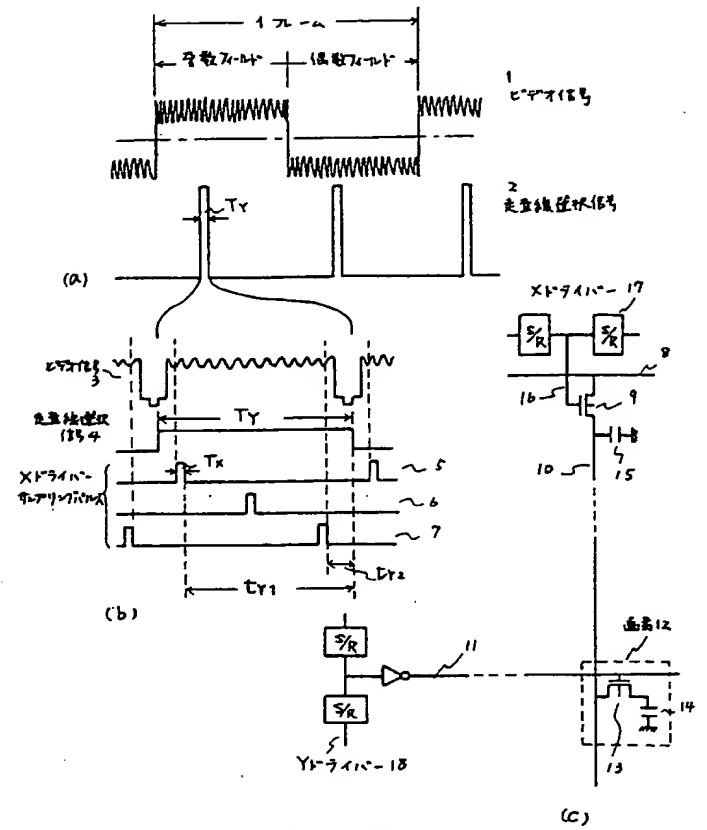
第 6 図



第 7 図



第 8 図



第 9 図